

JAPANESE UTILITY MODEL APPLICATION PUBLICATION

JP 1-18757 U (= S64-18757 U)

THIN FILM TRANSISTOR

ABSTRACT

[Object] To provide a thin film transistor which is capable of avoiding interruption of source and drain electrodes and metal wirings connected thereto by flattening a step formed by a gate wiring metal formed on a substrate and which is easy in manufacture and suitable for a fine structure.

[Structure] A thin film transistor includes a substrate, a gate electrode formed on the substrate, a flattening insulating film which is formed on a surface of the substrate in an area except a portion provided with the gate electrode and which is formed by applying and baking a silicon compound to a thickness substantially equal to that of the gate electrode, and a gate insulating film formed on a surface of the gate electrode, and a semiconductor film and source and drain electrodes successively formed on the gate insulating film.

公開実用 昭和64- 18757

⑩ 日本国特許庁 (JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U)

昭64- 18757

⑬ Int. Cl.	識別記号	厅内整理番号	⑭ 公開 昭和64年(1989)1月30日
H 01 L 29/78	3 1 1	G - 7925-5F	
G 02 F 1/133	3 2 7	7370-2H	
H 01 L 27/12		A - 7514-5F	
// G 09 F 9/35		7335-5C	審査請求 未請求 (全 頁)

⑮ 考案の名称 薄膜トランジスタ

⑯ 実 領 昭62- 114277

⑯ 出 領 昭62(1987)7月25日

⑰ 考案者 錄 田 英 樹	東京都八王子市石川町2951番地の5	カシオ計算機株式会社八王子研究所内
⑰ 考案者 山 村 信 幸	東京都八王子市石川町2951番地の5	カシオ計算機株式会社八王子研究所内
⑰ 考案者 佐 藤 俊 一	東京都八王子市石川町2951番地の5	カシオ計算機株式会社八王子研究所内
⑰ 考案者 松 本 広	東京都八王子市石川町2951番地の5	カシオ計算機株式会社八王子研究所内
⑯ 出 領 人 カシオ計算機株式会社	東京都新宿区西新宿2丁目6番1号	



明細書

1. 考案の名称

薄膜トランジスタ

2. 実用新案登録請求の範囲

(1) ゲート電極が形成された基板と、この基板面上のゲート電極が形成された部分以外の部分にけい素化合物の塗布、焼成によって前記ゲート電極の膜厚とほぼ等しい膜厚に形成された平坦化絶縁膜と、少なくとも前記ゲート電極面上に形成されたゲート絶縁膜と、このゲート絶縁膜に順次形成された半導体膜、及びソース、ドレイン電極とを具備していることを特徴とする薄膜トランジスタ。

(2) 前記平坦化絶縁膜は、前記基板及びゲート電極上にけい素化合物を塗布し、焼成後、該ゲート電極の表面が露出する程度のエッチングにより形成されていることを特徴とする実用新案登録請求の範囲第1項記載の薄膜トランジスタ。

(3) 前記平坦化絶縁膜は、けい素化合物の溶液を前記基板及びフォトレジストで被ったゲート電

公開実用 昭和64-18757



極上に塗布し被膜を形成した後、前記フォトレジストと共に、除去することにより形成されていることを特徴とする実用新案登録請求の範囲第1項記載の薄膜トランジスタ。

3. 考案の詳細な説明

(考案の技術分野)

本考案は、微細化構造に適した薄膜トランジスタに関するものである。

(従来技術とその問題点)

従来、画素電極となる複数の透明電極とこれらの透明電極のそれぞれに接続されたスイッチイング素子とをマトリクス状に配列した基板と、対向する透明電極を設けた対向基板の間に、液晶等の電気光学効果を有する物質を封入したアクティブマトリクス型のディスプレイが高コントラスト、高時分割駆動を可能とするために提案されている。

このディスプレイのスイッチイング素子としては薄膜トランジスタが用いられている。この薄膜トランジスタは従来、第3図に示す如く製造されている。



即ち、第3図は従来の薄膜トランジスタの製造工程を示す工程図で、この薄膜トランジスタは、同図(a)に示す如く、まずガラス等の透明な基板1上に真空蒸着法等により電極配線材料を堆積した後、フォトリソグラフィー法によりパターニングして、膜厚が1000Å以下のゲート電極2を形成する。次に、同図(b)に示す如く、絶縁体をスパッタリング法あるいはプラズマCVD(化学気相成長)法等により堆積して、ゲート絶縁膜3を形成する。次に同図(c)に示す如く、ゲート絶縁膜3上にアモルファスシリコン等をプラズマCVD法等により堆積してパターニングすることにより半導体膜4を形成すると共に、透明導電膜を堆積してパターニングすることにより、画素電極5を形成する。そして、この半導体膜4と画素電極5上に真空蒸着法等により電極配線材料を堆積して、フォトリソグラフィー法によりパターニングしてソース電極6及びドレイン電極7を形成する。この構造の薄膜トランジスタは、ゲート電極2とソース電極6及びドレイン電極7とが異なる平面上にあるも

公開実用 昭和64-18757



のでスクガ形といわれるものである。

最近、薄膜トランジスタは、ディスプレイの大面積化と高画質化に伴って、微細化構造を実現し歩留まり良く製造することが要望されており、このような、従来の構造の薄膜トランジスタにおいて、微細化構造にするためには、ゲート電極2の配線金属幅を狭くする必要がある。

しかしながら、このゲート電極2の配線幅を狭くした場合には、断面積が小さくなり配線抵抗の増大を招く。従って、ゲート電極2の配線抵抗を低下させるために、ゲート電極2の厚みを厚くせざるを得ない。ところが、ゲート電極2の厚みを厚くすると基板1のゲート電極2の部分との間に大きな段差を生じ、その段差上に形成される半導体領域上のソース電極6及びドレイン電極7、及びゲート電極の配線金属を乗り越えて形成されるソース電極の配線金属が断線する可能性が非常に高くなり、そのため配線歩留まりが低下する問題点があった。

〔考案の目的〕

604



本考案は、上記従来の問題点等に鑑みなされたもので、基板上に形成されるゲート配線金属により生じる段差を平坦化して、ソース及びドレイン電極及びこれらの金属配線が断線することなく、かつ製造も容易で微細化構造に適した薄膜トランジスタを提供することを目的とする。

〔考案の要点〕

本考案は、上記目的を達成するために、基板上に形成したゲート電極及びその配線金属により生じる段差を、けい素化合物の塗布、焼成によって形成された酸化シリコン膜(SiO₂膜)で平坦化し、かつその上にゲート絶縁膜を形成し、その絶縁膜上に半導体領域として半導体膜、ソース及びドレイン電極を形成することを要点とする。

〔実 施 例〕

以下、本考案の実施例について、図面に即して詳細に説明する。

第1図は本考案の一実施例に係る薄膜トランジスタの構造を示す図である。同図において、11はガラス、石英等の材料からなる基板、12はこ

公開実用 昭和64-18757



の基板 1 1 上にアルミニウム (A l) 、モリブデン (M o) 、金 (A u) 、クロム (C r) 、銅 (C u) 、チタン (T i) 、タンクステン (W) 等の電極配線材料からなり厚さがほぼ 2000Å 以上でパターン形成したゲート電極、1 3 はゲート電極 1 2 を除いた基板 1 1 上に該ゲート電極 1 2 とほぼ同じ厚さに形成した平坦化絶縁膜 (S O G 膜) 、1 4 はゲート電極 1 2 及び平坦化絶縁膜 1 3 上に形成した酸化シリコン、又は窒化シリコン等の材料からなるゲート絶縁膜、1 5 はゲート絶縁膜 1 4 上にアモルファスシリコン等を 1000Å 程度堆積して形成した半導体膜、1 6 は半導体膜 1 5 に隣接させてゲート絶縁膜 1 4 上に形成された透明電極からなる画素電極、1 7 は半導体膜 1 5 上に上記電極配線材料と同様の材料で形成したソース電極、1 8 は半導体膜 1 5 及び画素電極 1 6 上にこれらを電気的に接続するように前記ソース電極 1 7 と同様の電極配線材料で形成したドレイン電極である。

このようにして形成された薄膜トランジスタ及



び画素電極は、それぞれ基板上にマトリクス状に多数個配列形成され、それぞれの薄膜トランジスタのゲート電極は、列ごとにゲート電極配線で接続され、またソース電極は、行ごとにソース電極配線で接続されている。

次に上記構造の薄膜トランジスタの製造方法について説明する。

第2図は本考案の薄膜トランジスタの第一実施例に係る製造工程を示す図である。なお、第1図に対応する部分は同一の符号を記す。同図(a)において、まず、ガラス、石英等からなる基板11上に真空蒸着法またはスパッタリング法等を用いてAl、Mo、Au、Cr、Cu、Ti、W等の電極配線材料を膜厚2000Å以上堆積し、次にフォトリソグラフィー法によりパターン形成し、パターン幅が20μm程度のゲート電極12を形成する。次に同図(b)に示す如く、基板11及びゲート電極12上にけい素化合物の溶液をスピンドルコート法等により膜厚がゲート電極12よりも厚くなる程度(1μm程度)に塗布した後、恒温槽で約100℃

公開実用 昭和64-18757



及び400 °Cの2段階ベークにより焼成し、塗布したけい素化合物を酸化シリコン(SiO₂)のSOG膜13にする。このけい素化合物としてはシラノール系無機化合物と、シラノール系有機化合物との混合物を用いる。この混合物は、熱処理により固化し、透明で高耐熱性、高絶縁性の被膜となる。次に同図(c)に示す如く、酸化シリコン化したSOG膜13をドライエッチング法を用いてゲート電極12の表面が露出する程度までエッティングする。この工程によりゲート電極12による段差の平坦化が行われる。次に同図(d)に示す如く、平坦化した表面に酸化シリコン、または窒化シリコン等の絶縁体をスパッタリング法あるいはプラズマCVD法等により堆積してゲート絶縁膜14を形成し、続いてアモルファスシリコン等を連続して1000Å程度堆積し、フォトリソグラフィー法等により半導体領域として半導体膜15を形成する。その後、スパッタリング法等によりゲート絶縁膜14上に透明導電性材料として酸化インジウム(ITO)等を堆積し、フォトリソグラフィー



法等により画素電極16を形成する。次に、真空蒸着法またはスパッタリング法等により電極配線材料を堆積しフォトリソグラフィー法等によりソース電極17及びドレイン電極18を形成する。

以上の製造方法による薄膜トランジスタでは、ゲート電極12の厚みによる段差が、SOG膜13により平坦化されるので、ゲート電極が例えば $2000\text{Å} \sim 10000\text{ Å}$ 程度に厚い場合でも、基板11とゲート電極12との間の段差を生ずることなく、その上に形成されるソース電極の金属配線及び半導体領域上のソース及びドレイン電極の断線を防止できる。従って、ゲート電極12の配線幅を狭くすることができ、微細化構造が可能になる。なお、ゲート電極12配線上のステップカバレージを良くするために、ゲート金属のテーパーエッジ等を用いることができるが、この場合には、トランジスタの微細化構造が困難になる。これに対して、本実施例のようにSOG膜で平坦化すれば微細化構造が可能になる。

第3図は本考案の薄膜トランジスタの第二実施

公開実用 昭和64-18757



例に係る製造工程を示す図である。なお、第1図に対応する部分は同一の符号を記す。同図(a)において、第一実施例と同様に基板11上に電極配線材料を堆積し、フォトリソグラフィー法に基づいて、フォトレジスト21をゲート電極12の形状にパターニングし、前記電極配線材料をエッチングする。次に、同図(b)に示す如く、フォトレジスト21を残したまま基板11及びフォトレジスト21上にけい素化合物の溶液をスピンドルコート法等により膜厚がゲート電極12と同程度の厚さになるよう塗布し、然る後、恒温槽で約100℃程度でベークして不完全硬化状態の被膜13aを形成する。次に、同図(c)に示す如く、ゲート電極12上のフォトレジスト21を剥離液により剥離して、フォトレジスト21上と共に未硬化被膜13aを除去する。その後、約400℃程度でベークにより焼成し硬化させてSOG膜13を形成し、これによつてゲート電極による段差が平坦化される。次に、同図(d)に示す如く、第一実施例と同様の製造方法で、ゲート絶縁膜14、半導体膜15、画素



電極 16、ソース電極 17 及びドレイン電極 18 を形成する。

以上の製造方法による薄膜トランジスタでは、第一実施例で製造したものと同様にゲート電極 12 の段差を平坦化することができ、その上に形成されるソース電極の金属配線及び、半導体領域上のソース及びドレイン電極の断線を防止できる。また、特に本実施例によるリフトオフ法によるものでは、ゲート電極 12 上には、SOG 膜 13 が触れない構造になっており、ゲート電極 12 上に SOG 膜が残存する事がないので、ゲート絶縁膜 14 が必ず単一層になり、性能の良いトランジスタを製造することが可能になる。

尚、上記各実施例において、SOG 膜 13 は、基板 11 とゲート電極 12 との間の段差を実質的になくすよう形成されればよく、少なくともその上部に形成されるソース電極の金属配線及び半導体領域のソース及びドレイン電極に影響を与えない程度の段差があってもよい。例えば第二実施例のリフトオフ法による場合に、SOG 膜 13 がゲ

公開実用 昭和64-18757



ート電極12の膜厚よりも多少薄く、または厚く形成されていてもよい。また第一実施例のエッチング法による場合には、SOG膜13を形成した後、少なくともゲート電極12表面が露出する程度までエッチングされればよく、露出したときにSOG膜13がゲート電極12の膜厚より多少薄くなっていてもよい。

(考案の効果)

以上詳細に説明したように、本考案によれば基板とその上に形成されるゲート電極との間の段差をSOG膜を用いた平坦化絶縁膜によりなくしているため、このゲート電極上に形成される電極及び金属配線が断線することがなくなり、配線幅を狭くすることにより微細化構造の実現が可能になる。また、製造も容易になり歩留りを向上できる。

4. 図面の簡単な説明

第1図は本考案の一実施例に係る薄膜トランジスタの構造を示す図、

第2図(a)～(d)は本考案の薄膜トランジスタの第一実施例に係る製造工程を示す図、



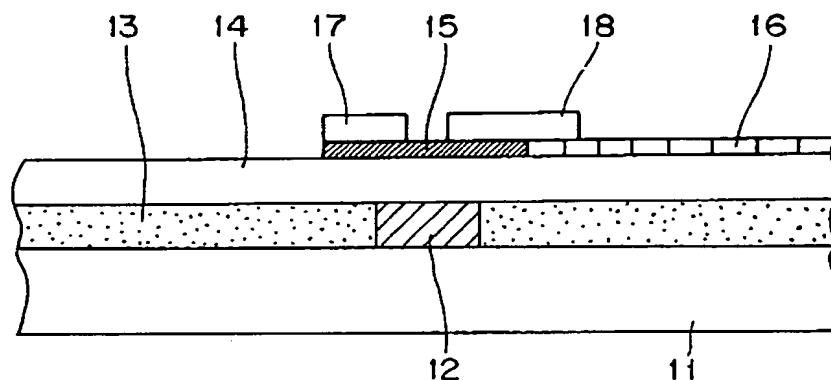
第3図(a)～(d)は本考案の薄膜トランジスタの第二実施例に係る製造工程を示す図、

第4図(a)～(c)は従来の薄膜トランジスタの製造工程を示す図である。

- 1 1 . . . 基板、
- 1 2 . . . ゲート電極、
- 1 3 . . . S O G 膜、
- 1 4 . . . ゲート絶縁膜、
- 1 5 . . . 半導体膜、
- 1 7 . . . ソース電極、
- 1 8 . . . ドレイン電極。

実用新案登録出願人 カシオ計算機株式会社

公開実用 昭和64-18757

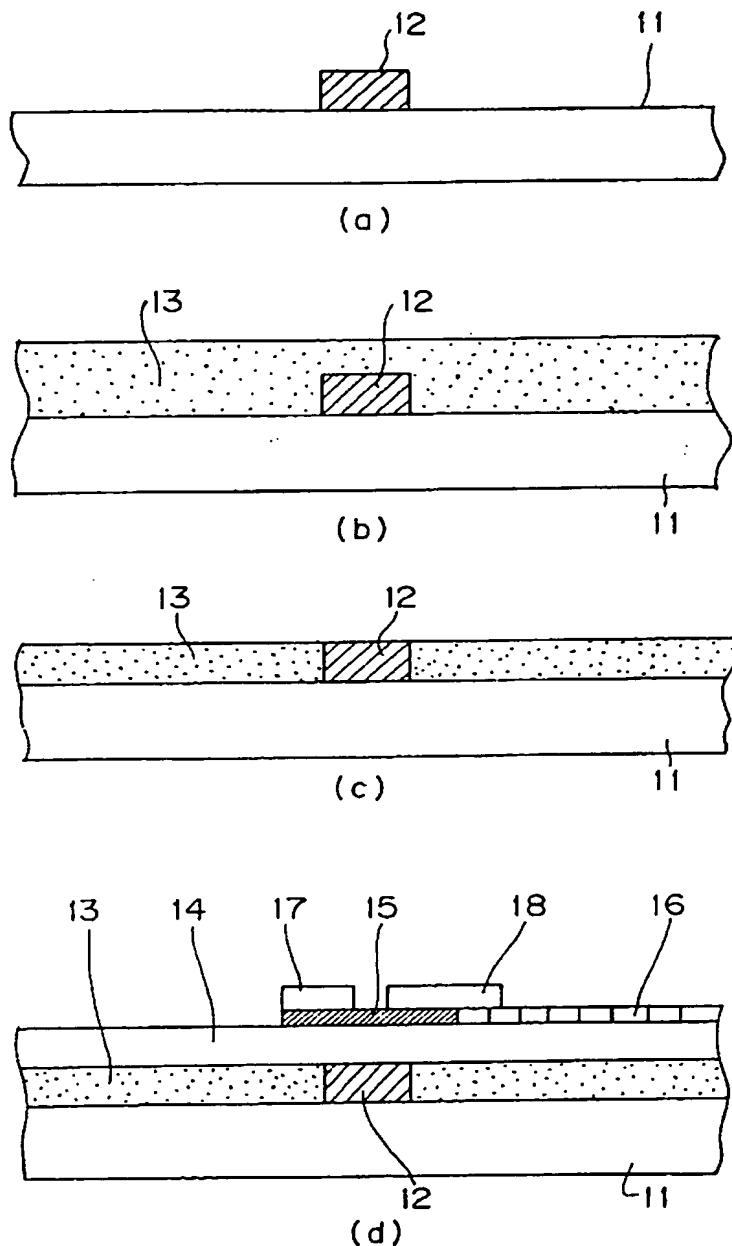


第 1 図

614

実開64-18757

出願人 カシオ計算機株式会社



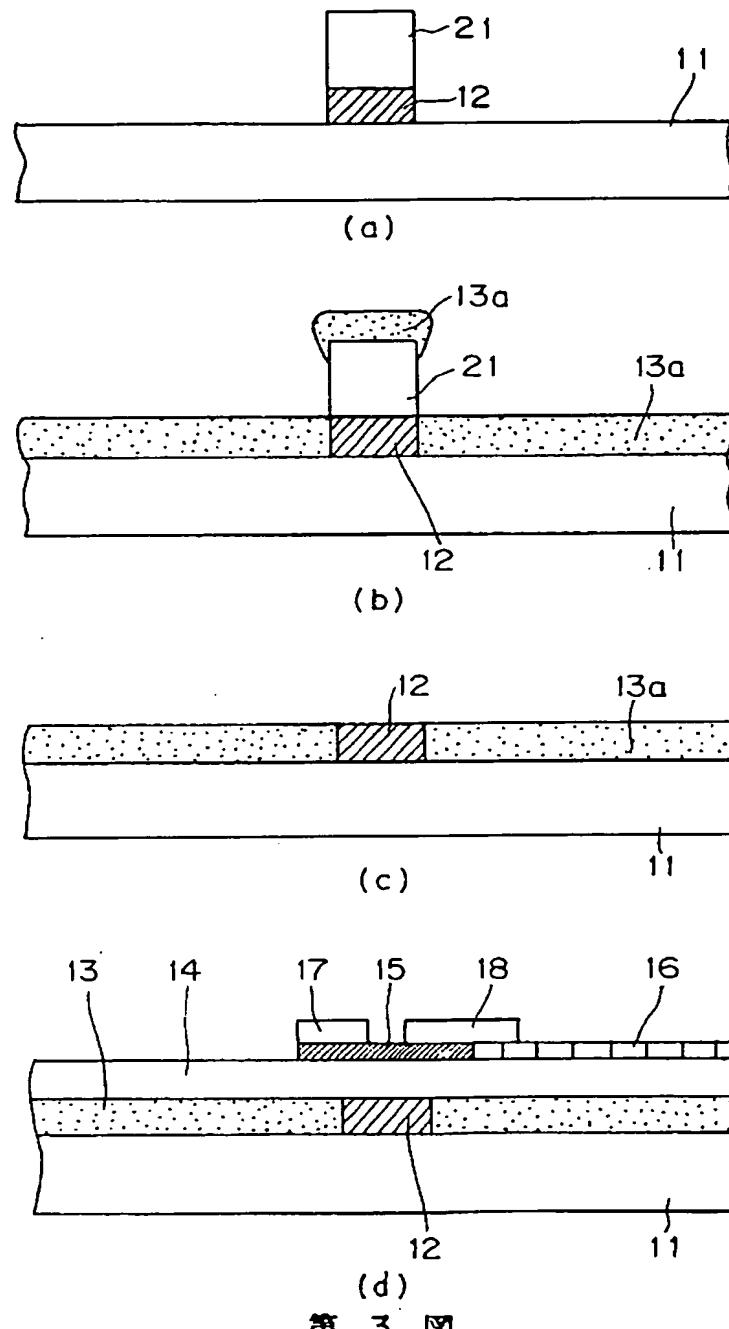
第2図

615

実開64-18757

出願人 カシオ計算機株式会社

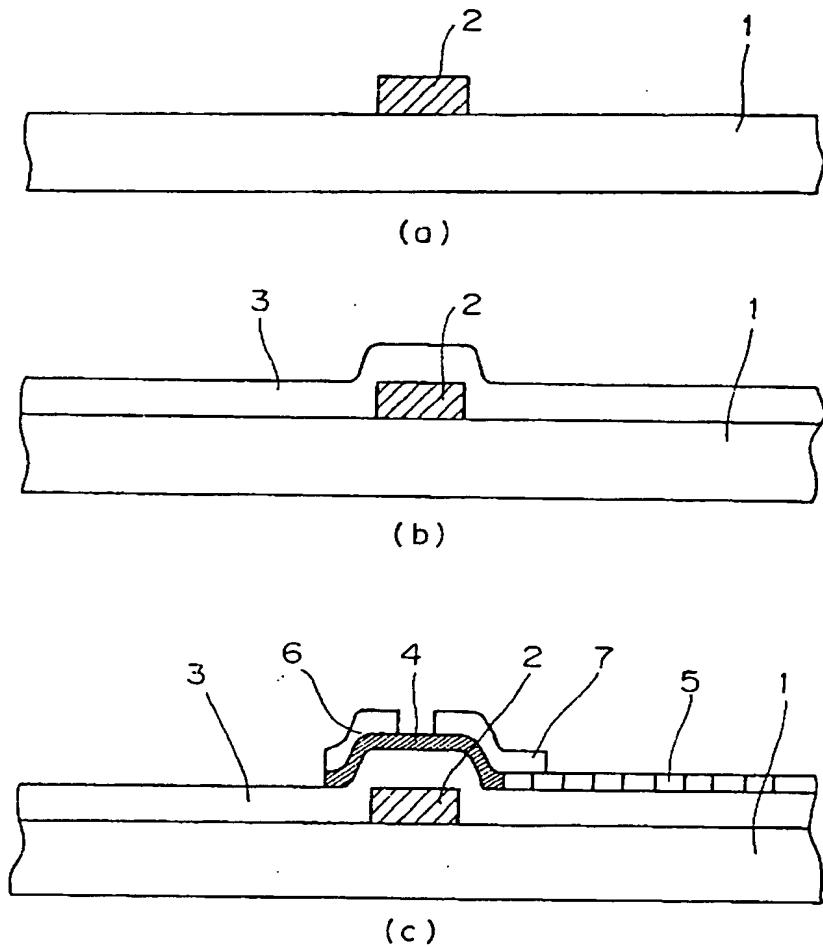
公開実用 昭和64-18757



第3図

616
実開64-18757

出願人 カシオ計算機株式会社



第 4 図

617

実開64-18757

出願人 カシオ計算機株式会社

公開実用 昭和64-18757

手続補正書

昭和62年11月2日

特許庁長官 小川邦夫 殿

1. 事件の表示

昭和62年 実用新案登録願 第114277号

2. 考案の名称

薄膜トランジスタ

3. 補正をする者

事件との関係 実用新案登録出願人

住所 東京都新宿区西新宿2丁目6番1号

名称 (144) カシオ計算機株式会社

代表者 横尾忠雄



4. 補正命令の日付

自発

5. 補正の対象

明細書の「3. 考案の詳細な説明」及び

「4. 図面の簡単な説明」の各欄

6. 補正の内容

別紙の通り

方式
審査

実開64-18757

618



6) 補正の内容

- 1) 明細書第2頁第19行目に「第3図」とあるを
「第4図」と補正する。
- 2) 明細書第3頁第1行目に「第3図」とあるを
「第4図」と補正する
- 3) 明細書第3頁第17行目に「ソース」とあるを
「ドレイン」と補正する。
- 4) 明細書第3頁第18行目に「ドレイン」とある
を「ソース」と補正する。
- 5) 明細書第3頁第19行目に「ソース」とあるを
「ドレイン」と補正する。
- 6) 明細書第3頁第20行目に「ドレイン」とある
を「ソース」と補正する。
- 7) 明細書第4頁第1行目に「スタガ形」とある
を「逆スタガ型」と補正する
- 8) 明細書第4頁第6行目に「ゲート電位」とある
を「ゲート電極」と補正する。
- 9) 明細書第4頁第15行目に「ソース」とあるを
「ドレイン」と補正する。
- 10) 明細書第4頁第15行目に「ドレイン」とある

公開実用 昭和64-18757



を「ソース」と補正する。

11) 明細書第4頁第17行目に「ソース」とあるを
「ドレイン」と補正する。

12) 明細書第6頁第15行目に「ソース」とあるを
「ドレイン」と補正する。

13) 明細書第6頁第17行目に「ソース」とあるを
を「ドレイン」と補正する。

14) 明細書第6頁第18行目に「ドレイン」とある
を「ソース」と補正する。

15) 明細書第7頁第4行目に「ソース電極は、行
ごとにソース電極」とあるを「ドレイン電極は、
行ごとにドレイン電極」と補正する。

16) 明細書第7頁第16行目に「20 μ m」とあるを
「約10 μ m」と補正する。

17) 明細書第9頁第3行目～4行目に「ソース」
とあるを「ドレイン」と補正する。

18) 明細書第9頁第4行目に「ドレイン」とある
を「ソース」と補正する。

19) 明細書第9頁第10行目に「ソース」とあるを
「ドレイン」と補正する。



- 20) 明細書第9頁第15行目～16行目に「テーパーエッジ」とあるを「テーパーエッチング」と補正する。
- 21) 明細書第11頁第1行目に「ソース」とあるを「ドレイン」と補正する。
- 22) 明細書第11頁第1行目に「ドレイン」とあるを「ソース」と補正する。
- 23) 明細書第11頁第6行目に「ソース」とあるを「ドレイン」と補正する。
- 24) 明細書第11頁第17行目に「ソース」とあるを「ドレイン」と補正する。
- 25) 明細書第13頁第10行目に「ソース」とあるを「ドレイン」と補正する。
- 26) 明細書第13頁第11行目に「ドレイン」とあるを「ソース」と補正する。

以 上